

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

10798287

Basic Patent (No,Kind,Date): JP 4286367 A2 921012 <No. of Patents: 001>

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): OKA HIDEAKI

IPC: *H01L-029/784; H01L-021/20

CA Abstract No: 118(20)203474K

Derwent WPI Acc No: C 92-386890

JAPIO Reference No: 170094E000032

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 4286367	A2	921012	JP 9151254	A	910315 (BASIC)

Priority Data (No,Kind,Date):

JP 9151254 A 910315

CONSTITUTION: In a process where a silicon layer 102 is formed on an insulating amorphous material 101, a very small amount of fluorine is mixed into an a-Si film in some cases when it is formed through a plasma CVD method. The quantity of fluorine is set to $1 \times 10^{18} / \text{cm}^3$ or below. Furthermore, a source/drain region 107 where ions are implanted is annealed for activation under conditions optimized in correspondence with the quantity of fluorine mixed into a-Si so as to enhance a TFT in characteristic (especially lessen the OFF-current).

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784		9171-4M		
21/20		9056-4M	H 0 1 L 29/ 78	3 1 1 F

審査請求 未請求 請求項の数6(全 8 頁)

(21) 出願番号 特願平3-51254

(22) 出願日 平成3年(1991)3月15日

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号

(72) 発明者 岡秀明
長野県諏訪市大和3丁目3番5号セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

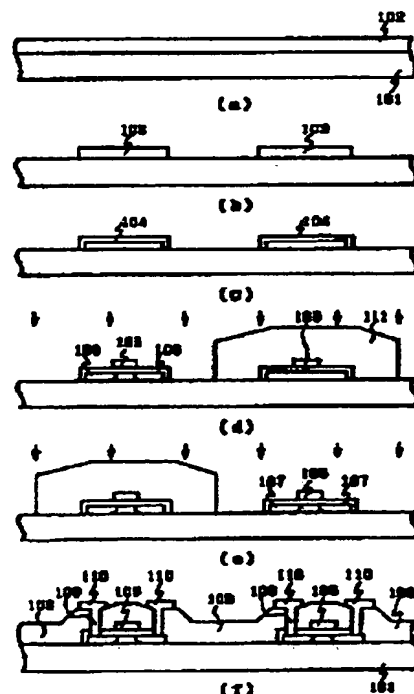
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 少なくともチャンネル領域の一部が非単結晶半導体で形成された絶縁ゲート型電界効果トランジスタのオフ電流を低減する。

【構成】 非単結晶半導体層中に含まれる弗素量を $1 \times 10^{13} / \text{cm}^2$ 以下にする。更に、膜中に含まれる弗素量に応じて、ソースドレイン領域イオン注入後の活性化アニールの温度等を最適化する。

【効果】 オフ電流の低い電界効果トランジスタが得られた。



【特許請求の範囲】

【請求項1】 絶縁ゲート型電界効果トランジスタのチャンネル領域の少なくとも一部が非単結晶半導体により形成された半導体装置において、該非単結晶半導体中の弗素量が $1 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする半導体装置。

【請求項2】 前記非単結晶半導体が多結晶シリコンであることを特徴とする請求項1記載の半導体装置。

【請求項3】 絶縁ゲート型電界効果トランジスタのチャンネル領域の少なくとも一部が非単結晶半導体により形成された半導体装置の製造方法において、(a) 絶縁性非晶質材料上にシリコンを主体とする非単結晶半導体層を形成する工程、(b) ソースドレイン領域をイオン注入法で形成する工程、(c) イオン注入されたドーパントを活性化するためのアニール工程を少なくとも有し、該活性化のためのアニールが 900°C より高い温度で成されたことを特徴とする半導体装置の製造方法。

【請求項4】 前記非単結晶半導体中の弗素量が $5 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 絶縁ゲート型電界効果トランジスタのチャンネル領域の少なくとも一部が非単結晶半導体により形成された半導体装置の製造方法において、(a) 絶縁性非晶質材料上にシリコンを主体とする非単結晶半導体層を形成する工程、(b) ソースドレイン領域をイオン注入法で形成する工程、(c) イオン注入されたドーパントを活性化するためのアニール工程を少なくとも有し、該活性化のためのアニールが 900°C 以下の温度で成されたことを特徴とする半導体装置の製造方法。

【請求項6】 前記非単結晶半導体中の弗素量が $1 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする請求項5記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に係わり、特に、絶縁性非晶質材料上に半導体素子を形成する製造方法に関する。

【0002】

【従来の技術】 ガラス、石英等の絶縁性非晶質基板や、 SiO_2 等の絶縁性非晶質層上に、高性能な半導体素子を形成する試みが活発化している。

【0003】 近年、大型で高解像度の液晶表示パネルや、高速で高解像度の密着型イメージセンサやTFTを負荷部に用いたSRAM等のニーズが高まるにつれて、絶縁性非晶質材料上に高性能な半導体素子を形成する技術の確立が急務となっている。絶縁性非晶質材料上に薄膜トランジスタ(TFT)を形成する場合を例にとると、(1) プラズマCVD法等で形成した非晶質シリコンを素子材としたTFT、(2) CVD法等で形成した多結晶シリコンを素子材としたTFT、(3) 熔融再結

晶化法等で形成した単結晶シリコンを素子材としたTFT等が検討されている。

【0004】 ところが、これらのTFTのうち非晶質シリコンを素子材としたTFTは、多結晶シリコンや単結晶シリコンを素子材とした場合に比べてTFTの電界効果移動度が大幅に低く(非晶質シリコンTFT $< 1 \text{ cm}^2 / \text{V} \cdot \text{sec}$)、高性能なTFTの実現は困難であった。

【0005】 一方、レーザビーム等による熔融再結晶化法は、未だに十分に完成した技術とは言えず、また、液晶表示パネルの様に、大面積に素子を形成する必要がある場合には技術的困難が特に大きい。

【0006】 そこで、絶縁性非晶質材料上に形成する高性能な半導体素子として、CVD法等で形成した多結晶シリコンや固相成長法(Thin Solid Films 100 (1983) p.227, JJAP Vol.25 No.2 (1986) p.L121)で形成した大粒径多結晶シリコン等を素子材としたpoly-SiTFTが注目され、実用化に向けての研究が活発化している。

20 【0007】

【発明が解決しようとする課題】 しかし、従来の技術では、チャンネル領域を成すpoly-Si層をCVD法やプラズマCVD法等で成膜するため、シリコンウェーハを用いたLSIと異なり、シリコン中に不純物等が混入し易く、TFTのオフ電流増大等の特性劣化の原因となっていた。

【0008】 そこで、本発明は、少なくともチャンネル領域の一部が非単結晶半導体で形成された絶縁ゲート型電界効果トランジスタにおいて、そのオフ電流を低減し、同時に電界効果移動度も大きい優れた特性を有するトランジスタを実現するための構造及びその製造方法を提供するものである。

【0009】

【課題を解決するための手段】 本発明の半導体装置は、

1) 絶縁ゲート型電界効果トランジスタのチャンネル領域の少なくとも一部が非単結晶半導体により形成された半導体装置において、該非単結晶半導体中の弗素量が $1 \times 10^{18} / \text{cm}^3$ 以下であることを特徴とする。

【0010】 2) 前記非単結晶半導体が多結晶シリコンであることを特徴とする。

【0011】 又、本発明の半導体装置の製造方法は、3) 絶縁ゲート型電界効果トランジスタのチャンネル領域の少なくとも一部が非単結晶半導体により形成された半導体装置の製造方法において、(a) 絶縁性非晶質材料上にシリコンを主体とする非単結晶半導体層を形成する工程、(b) ソースドレイン領域をイオン注入法で形成する工程、(c) イオン注入されたドーパントを活性化するためのアニール工程を少なくとも有し、該活性化のためのアニールが 900°C より高い温度で成されたことを特徴とする。

【0012】4) 前記非単結晶半導体中の弗素量が $5 \times 10^{17}/\text{cm}^3$ 以下であることを特徴とする。

【0013】5) 絶縁ゲート型電界効果トランジスタのチャンネル領域の少なくとも一部が非単結晶半導体により形成された半導体装置の製造方法において、(a) 絶縁性非晶質材料上にシリコンを主体とする非単結晶半導体層を形成する工程、(b) ソースドレイン領域をイオン注入法で形成する工程、(c) イオン注入されたドーパントを活性化するためのアニール工程を少なくとも有し、該活性化のためのアニールが 900°C 以下の温度で成されたことを特徴とする。

【0014】6) 前記非単結晶半導体中の弗素量が $1 \times 10^{18}/\text{cm}^3$ 以下であることを特徴とする。

【0015】

【実施例】図1は、本発明の実施例における半導体装置の製造工程図の一例である。尚、図1では半導体素子として薄膜トランジスタ(TFT)を形成する場合を例としている。

【0016】図1において、(a)は、ガラス、石英等の絶縁性非晶質基板、もしくは SiO_2 等の絶縁性非晶質材料層等の絶縁性非晶質材料101上にシリコン層102を形成する工程である。成膜条件の一例としては、プラズマCVD法で基板温度を室温 $\sim 600^\circ\text{C}$ 程度に保持し、モノシラン若しくはモノシランを水素、アルゴン、ヘリウム等で希釈したガスを反応室内に導入し、高周波エネルギー等を加えガスを分解して所望の基板上にシリコン層を膜厚 $100\text{\AA} \sim 2000\text{\AA}$ 程度形成する等の方法がある。尚、プラズマCVD法で a-Si を成膜した場合、チェンバー内に残留しているF(弗素)が a-Si 膜中に混入し、固相成長後の poly-Si 膜、及びイオンインプラ/活性化アニール後のソースドレイン領域の欠陥を増大させ、TFT特性(特にオフ電流の増大)に大きな影響を与えることが我々の検討の結果明らかとなった。その詳細な結果は後で述べる。尚、本実施例では、プラズマCVD法で形成した a-Si を固相成長する場合を例とするが、本発明はこれに限定されるものではない。例えば、LPCVD法で poly-Si を成膜する方法や、プラズマCVD法以外で a-Si を成膜し固相成長させる方法や、プラズマCVD法等で形成した a-Si 若しくは poly-Si をレーザーアニール法で結晶成長させる方法に対しても本発明は有効である。特に、プラズマCVD法で a-Si を形成し、レーザーアニール法で結晶成長させる方法は、レーザーアニールする部分を除き、以下に示す実施例の製造方法をそのまま適用できる。

【0017】(b)は、該シリコン層102を熱処理等により結晶成長させ多結晶シリコン層103を形成し、必要に応じて該多結晶シリコン層を所定の形状にパターン形成する工程である。尚、工程(b)の熱処理工程と工程(c)のゲート酸化工程を連続して行なう場合等必要な

場合は、結晶成長させる前に該シリコン層102を所定の形状にパターン形成する。熱処理条件は、工程(a)のシリコン層の成膜方法によってその最適条件が異なる。例えば、成膜時の基板温度によって以下に述べるような違いがある。

【0018】(1) 基板温度が室温 $\sim 150^\circ\text{C}$ 程度の比較的低温で成膜した膜は、膜中に多量の水素を含む非晶質シリコンになるが、 $200 \sim 300^\circ\text{C}$ 程度で成膜した膜と比べてより低温の熱処理で膜中の水素を抜くことができる。熱処理条件の一例を以下に述べる。プラズマCVD反応室内で成膜後の非晶質シリコン膜に第一のアニールを行う。成膜温度が低い非晶質シリコン膜はポーラスな膜であるため、成膜後そのまま大気中に取り出すと膜中に酸素等が取り込まれ易く、膜質劣化の原因となるが、大気中に取り出す前に適切な熱処理を行うと膜の緻密化が成され、酸素等の取り込みが防止される。熱処理温度は 300°C 以上が望ましく、 $400 \sim 500^\circ\text{C}$ 程度まで温度を上げると特に効果が大きい。尚、熱処理温度が 300°C 未満であっても熱処理による膜の緻密化の効果はある。但し、真空を破らずに連続してアニールを行う場合は第一のアニールを省くこともできる。

【0019】続いて、第二のアニールを行う。低い成膜温度で形成された非晶質シリコン膜は $550^\circ\text{C} \sim 650^\circ\text{C}$ 程度の比較的低温の熱処理を数時間 ~ 20 時間程度行なうと、水素の脱離と結晶成長が起こり、結晶粒径 $1 \sim 2\mu\text{m}$ 以上の大粒径の多結晶シリコンが形成される。尚、第一のアニール及び第二のアニールとも所定のアニール温度まで昇温する際に短時間で急激に温度を上昇させるのは好ましくない。その理由は、温度が上昇するにつれて(特に、 300°C を越えると)膜中の水素の脱離が起こり、昇温速度が急激であると膜中に欠陥を形成し易くなる。場合によってはピンホールができたり、膜が剥離することもある。少なくとも 300°C 以上の温度では $20^\circ\text{C}/\text{分} \sim 50^\circ\text{C}/\text{分}$ よりも遅い昇温速度($10^\circ\text{C}/\text{分}$ よりも遅い昇温速度が特に望ましい)で温度を徐々に上昇すると膜中の欠陥は少なくなる。

【0020】(2) 基板温度が $150^\circ\text{C} \sim 300^\circ\text{C}$ 程度で成膜した膜は、上述の低温で形成した非晶質シリコン膜に比べて、膜中の水素量は減少するが水素が脱離する温度はより高温側にシフトする。ただし、成膜後の膜は低温で形成した膜に比べて緻密であるため上述の第一のアニールを省くこともできる。第二のアニール条件は、 $550^\circ\text{C} \sim 650^\circ\text{C}$ 程度の熱処理を数時間 ~ 20 時間程度行なうと、水素の脱離と結晶成長が起こり、結晶粒径 $1 \sim 2\mu\text{m}$ 程度の大粒径の多結晶シリコンが形成される。尚、 $550^\circ\text{C} \sim 650^\circ\text{C}$ までの昇温方法は、(1)の場合と同様に少なくとも 300°C 以上の温度では $20^\circ\text{C}/\text{分} \sim 50^\circ\text{C}/\text{分}$ (望ましくは、 $10^\circ\text{C}/\text{分}$)よりも遅い昇温速度で温度を徐々に上昇すると膜中の欠陥が少なくなり望ましい。

(4)

5

【0021】(3) 基板温度が300℃を越えると膜中の水素量はさらに減少するが、550℃～650℃程度のアニールでは水素の脱離が起こり難くなるため、前記温度よりもより高い温度での熱処理が重要となる。

【0022】図1(c)は、該多結晶シリコン層103を熱酸化法によって酸化し、ゲート絶縁膜104を形成する工程である。ゲート酸化温度は1000℃～1200℃程度である。多結晶シリコン層103は、工程(b)で固相成長法で結晶成長させたものであるが、その結晶化率は必ずしも高くはない。特に、プラズマCVD法で形成したシリコン膜(非晶質シリコン、若しくは非晶質相中に微少な結晶領域が存在する微結晶シリコンになっている。)を熱処理で固相成長させた場合は、その結晶化率は、40%～85%程度と必ずしも高くはない。その為、該多結晶シリコン層を熱酸化法で酸化する場合に、1000℃～1200℃程度の高温まで短時間に急激に昇温すると、60%～15%程度残っている未結晶化領域の結晶性が損なわれることが、我々の検討の結果明らかとなった。現在のところ明確な因果関係は明らかではないが、昇温が急激な場合は、(1)未結晶化領域で多数の結晶核が発生し、微細な結晶粒が多数成長する。

【0023】(2) 昇温～熱酸化過程に進行する未結晶領域の結晶化があまり進まない。

【0024】(3) 昇温途中で膜中に残留している水素が急激に脱離し、欠陥が発生する。

【0025】等の原因が考えられる。そこで、我々は、この様な問題を解決する手段として、1000℃～1200℃程度の熱酸化温度まで昇温する際の昇温速度及び昇温方法を制御することで、多結晶シリコン層の結晶性を大幅に向上させる方法を見いだした。

【0026】本発明における固相成長後の熱処理条件、特に、固相成長温度よりも高い所定の温度(例えば、ゲート酸化温度)までの昇温方法について述べる。(1) 所定の温度(T_1)で、例えばアルゴン、窒素等不活性ガス雰囲気中でアニールしてシリコン層102を固相成長させて多結晶シリコン層103を形成し、続いて、所定のゲート酸化温度(T_2)まで所定の昇温速度で昇温してゲート酸化を行う場合、 T_1 から T_2 への昇温速度は、20℃/分～50℃/分程度(望ましくは10℃/分)より遅い方が、ゲート酸化後の結晶化率が高く望ましく、昇温速度が50℃/分を越えると、明かなトランジスタ特性の劣化がみられた。また、昇温の途中でアルゴン、窒素等の不活性ガス雰囲気から酸素、水蒸気、塩化水素等のうちの少なくとも1種以上を含む雰囲気へ切り換え酸化を進行させながら昇温させる方法もある。(この方法は、以下に述べる昇温方法にも適用できる。)尚、昇温速度は常に一定である必要はなく、上述の値の範囲で変動しても無論構わない。また、温度 T_1 で熱処理し、一旦試料を取り出した後、所定の温度(T_2)に加熱された酸化炉等に再び試料を挿入し、所定の昇温方法でT

6

(4)

まで昇温する方法(以下、低温挿入法と記す)もある。尚、 T_2 としては、550℃～1000℃程度の間が望ましい。特に、プロセス時間の短縮と結晶性の向上を両立させる点で、700℃～950℃程度の間が特に望ましい。この低温挿入法は、第4図(a)に示した実施例に限らず、他の昇温方法においても有効である。又、基板を炉の中に挿入する際の搬送速度を遅くして、基板の昇温速度を実質的に20℃/分～50℃/分程度以下にすることで、基板の急激な昇温を避ける方法も有効である。この場合は、炉の均熱部が1000℃～1200℃程度に加熱された炉に基板を直に挿入した場合でも、トランジスタ特性の劣化はほとんど見られなかった。

【0027】(2) 所定の温度(T_1)でアニールしてシリコン層102を固相成長させて多結晶シリコン層103を形成し、続いて、所定のゲート酸化温度(T_2)まで高温側で昇温速度を小さくして、昇温する方法も有効である。特に、温度が900℃～1000℃程度を越えた領域では昇温速度を10℃/分～20℃/分より小さくした方が望ましい。また、逆に800℃～900℃程度以下では昇温速度を20℃/分～50℃/分より大きくし、プロセス時間を短縮することもできる。

【0028】この様な昇温方法は、プラズマCVD法で形成した膜に限らず、蒸着法、CVD法、EB蒸着法、MBE法、スパッタ法等で非晶質シリコンもしくは微結晶シリコンを成膜した場合や、微結晶シリコンもしくは多結晶シリコン等をプラズマCVD法、CVD法、蒸着法、EB蒸着法、MBE法、スパッタ法等で形成後、S i, A r, B, P, H e, N e, K r, H等の元素をイオン打ち込みして、該微結晶シリコンもしくは多結晶シリコン等を完全もしくは一部を非晶質化する等の方法で形成した場合にも有効である。中でも特に、a s - d e p oの膜の非晶質相の割合が高く、多結晶核発生密度の低い(即ち、固相成長法で大粒径の多結晶シリコンを形成し易い)膜ほど、本発明はその効果が大きい。

【0029】図1(d)は、ゲート電極105を形成後、ソース・ドレイン領域106をゲート電極105をマスクにして、イオン注入法(ドーズ量0.5～5×10¹⁵cm⁻²程度、加速電圧20～100keV程度)等で形成する工程である。製造プロセスの一例としては、ゲート電極をLPCVD法等でP型、もしくはN型のpoly-S i等の材料で形成後、Nch TFTの部分をレジスト111で覆い、イオン注入法(ドーズ量0.5～5×10¹⁵cm⁻²程度、加速電圧20～100keV程度)等で、ゲート電極をマスクにしてソース・ドレイン領域を形成する。尚、本実施例では同一基板上にPチャンネル(Pch)TFT及びNチャンネル(Nch)TFTが形成されたCMOS型の半導体素子を形成する場合を例としており、Pch TFTの部分をレジストで覆い、B(ボロン)等のP型不純物をイオン注入した後、P(リン)

(5)

8

(5)

7
等のN型不純物を注入し、NchTFTを形成する製造プロセスを例としている。

【0030】図1(e)は、PchTFTの部分レジスト111で覆い、P(リン)等のN型不純物を注入し、NchTFTのソース・ドレイン領域107を形成する工程である。

【0031】図1(f)は、層間絶縁膜108をCVD法、スパッタ法、プラズマCVD法等で形成し、ソース・ドレイン領域の結晶性の回復及び不純物を活性化するための600℃～1100℃程度のアニールを行い、続いて、該層間絶縁膜にコンタクト穴109を開け、Al等で配線110を形成する工程である。尚、本実施例では、水素ガス雰囲気中でのアニールを行なっただけで、水素プラズマ処理等の水素化処理は特に行っていない。前記活性化アニールの時間はアニール温度によって、その最適値が異なり、例えば、600℃では、16時間～70時間程度のアニール時間を要し、900℃では1時間～16時間程度のアニール時間を要する。又、1000℃では15分～30分程度のアニール時間を要する。尚、前述のa-Si中に混入したF量に応じて、活性化アニール条件を最適化することが、TFT特性の向上(特に、オフ電流の低減)に対して重要であることを見いだした。その詳細については後で述べる。

【0032】本発明に基づく半導体装置の製造方法で作製した多結晶シリコンTFT(Nチャンネル)の電界効

果移動度は、 $150 \sim 200 \text{ cm}^2/\text{V} \cdot \text{sec}$ であり、十分なオン電流を有するpoly-SiTFTを簡便なプロセスで形成することができた。

【0033】続いて、a-Siに混入した弗素がTFT特性(特に、オフ電流の増大)に与える影響に関して述べる。以下、プラズマCVD法でa-Siを成膜する場合を例とするが、成膜方法はこれに限定されるものではない。プラズマCVD法でa-Siを成膜する際、膜中に微量のF(弗素)が混入する場合がある。その量は、PCVD装置反応室内のクリーニング方法、基板ホルダー等の治具の洗浄・乾燥方法等の条件によって大きく変わる。例えば、反応室のクリーニングを $\text{CF}_4 + \text{O}_2$ ガスを用いて行ない、残留弗素除去のための対策を施さない場合は、成膜後のa-Si膜中に多量の弗素が混入し、TFT完成後のpoly-Si中に $2 \times 10^{18} / \text{cm}^3$ 程度以上の多量の弗素が含まれる。このような膜をTFTのチャンネル領域及びソース・ドレイン領域に用いた場合と、poly-Si中の弗素量を $5 \times 10^{17} / \text{cm}^3$ 程度以下に抑えた場合とで、オフ電流に大きな相違があることを見いだした。又、オフ電流はソース・ドレイン領域のドーパントの活性化アニール条件等にも依存して大きく変わることを見いだした。以下、実施例に基づいて、その詳細を説明する。

【0034】

【表1】

	1000℃20min.	900℃1hr.	900℃5hrs.	900℃16hrs.	600℃16hrs.	600℃70hrs.
$5 \times 10^{18}/\text{cm}^3$	$6.0 \times 10^E-10$	$2.6 \times 10^E-8$	$7.7 \times 10^E-9$	$4.5 \times 10^E-10$	$5.8 \times 10^E-8$	$7.5 \times 10^E-10$
$2 \times 10^{18}/\text{cm}^3$	$6.5 \times 10^E-11$	$7.8 \times 10^E-10$	$8.0 \times 10^E-11$	$1.2 \times 10^E-11$	$8.8 \times 10^E-8$	$9.8 \times 10^E-12$
$1 \times 10^{18}/\text{cm}^3$	$7.3 \times 10^E-12$	$1.4 \times 10^E-11$	$8.6 \times 10^E-12$	$5.6 \times 10^E-12$	$3.0 \times 10^E-8$	$4.5 \times 10^E-12$
$5 \times 10^{17}/\text{cm}^3$	$3.9 \times 10^E-12$	$3.5 \times 10^E-12$	$3.3 \times 10^E-12$	$3.3 \times 10^E-12$	$6.5 \times 10^E-11$	$2.3 \times 10^E-12$
$1 \times 10^{17}/\text{cm}^3$	$3.4 \times 10^E-12$	$3.1 \times 10^E-12$	$2.9 \times 10^E-12$	$2.8 \times 10^E-12$	$1.9 \times 10^E-12$	$1.7 \times 10^E-12$

(単位: A)

【0035】表1はチャンネル領域及びソース・ドレイン領域を成すpoly-Si膜中の弗素量とTFTのオフ電流との関係を示した表である。測定条件は、NチャンネルTFT (ゲート長6 μm 、ゲート幅10 μm)を用い、ゲート電圧0V、ドレイン電圧5Vである。poly-Si膜中のF量は、a-Si成膜前のPCVD装置反応室の残留弗素除去や基板ホルダー等の洗浄・乾燥等を最適化することで、表に示すような5水準のサンプルを作製した。又、ソース・ドレイン領域のドーパントの活性化アニール条件を6水準 (1000℃ 20

分、900℃ 1、5、16時間、600℃ 16、70時間) 扱った場合のオフ電流値の変化も併せて示す。オフ電流が 1×10^{-11} A程度以下であれば、LCDパネルの画素スイッチとして十分な特性であることを考慮すると、poly-Si膜中に存在する弗素量を $1 \times 10^{18}/\text{cm}^3$ 以下に抑えれば、所望のオフ電流を有するpoly-SiTFTを作製できることがわかる。特に、弗素量を $5 \times 10^{17}/\text{cm}^3$ 程度以下に抑えると、活性化アニールの条件にほとんど依存せずに、オフ電流を 4×10^{-11} A程度以下に抑えることができ特に望ましい。

この場合、活性化アニール条件としては、例えば900℃1時間、1000℃20分等の比較的短時間のアニールで低いオフ電流が得られるメリットがある。又、不純物濃度を $1 \times 10^{17}/\text{cm}^3$ 程度以下にすると、 $2 \times 10^{-12}\text{A}$ 以下のきわめて低いオフ電流が600℃16時間のアニールで得られる。

【0036】続いて、プラズマCVD法を例にとり、膜中の弗素量を低減する方法に関して述べる。前述の通り、反応室のクリーニングを $\text{CF}_4 + \text{O}_2$ ガスを用いて行ない、残留弗素除去のための対策を施さない場合は、成膜後のa-Si膜中に多量の弗素が混入し、TFT完成後のpoly-Si中に $2 \times 10^{18}/\text{cm}^3$ 程度以上の多量の弗素が含まれる。一方、以下に述べる残留弗素除去対策を実行することで、膜中に混入する弗素量を大幅に低減することができる。(1) 反応室のクリーニングを $\text{CF}_4 + \text{O}_2$ ガスを用いずに、電極板・防着板等を分解して取り外し、ガラスビーズ処理等の機械的な処理により、表面に付着したシリコン膜を除去する。(2) 基板ホルダー等の治具も上述の機械的な処理により、シリコン膜を除去する。又は、HF(弗酸)等で洗浄した場合は、250℃～300℃程度以上の温度で30分から2時間程度ベークし、残留HFを除去する。(3) 反応室のクリーニング終了後、反応室を成膜時の基板温度若しくはそれより少し高い温度に数時間保持し、同時に高真空排気し、残留弗素をより完全に除去する。(4) クリーニング後、基板を取り付けない状態でa-Siを成膜する。弗素が残留している場合でも、この様な処理を行なうと、残留弗素がa-Si中に取り込まれ基板ホルダー等に膜として付着するため、残留弗素量低減の効果がある。成膜時間は10分から1時間程度が望ましく、30分以上が特に有効である。(5) 基板に付着している弗素(HF等)を除去するために、成膜の前処理として、250℃～350℃程度以上の温度で30分～2時間程度アニールする。(6) 原料ガスの不純物を低減する。以上述べた対策を1つ若しくは複数実行することで、膜中の弗素量を $1 \times 10^{18}/\text{cm}^3$ 、 $5 \times 10^{17}/\text{cm}^3$ 、 $1 \times 10^{17}/\text{cm}^3$ 程度以下と段階的に低減することができる。

【0037】以上述べたように、poly-Si中の弗素量を低減することで、poly-Si TFTのオフ電流を大幅に低減することができる。又、活性化アニールを低温化する方法もオフ電流の低減に有効であることも明かとなった。この様な弗素量とオフ電流、活性化アニール方法とオフ電流の因果関係は現在のところ明確に解明されてはいないが、以下に述べるようなメカニズムが推測される。まず、poly-Si TFTのオフ電流はドレイン端の欠陥準位を介した生成電流やField-Enhanced-Emission電流が支配的と考えられている。従って、ドレイン端の欠陥準位密度の低減がオフ電流の低減に対して有効であることが容易に推測される。ドレイン端の

欠陥準位を低減するには、ドレイン端近傍のpoly-Si膜の結晶性を向上させることが必須となる。そこで、我々は、膜中の弗素量とイオンインプラ後の活性化アニールがドレイン端近傍のpoly-Si膜の結晶性と強い相関があると推察している。図1(d)、図1(e)に示した工程でイオン注入を行なった後、図1(f)に示した工程で活性化アニールを行ない、不純物イオンが注入された領域の結晶性の回復(ソース・ドレイン領域のpoly-Si膜の少なくとも一部は、イオン注入により非晶質化され、活性化アニールにより、結晶成長し再びpoly-Si化する。)及び不純物の活性化を行なう。その際、poly-Si膜中に弗素が存在すると、活性化アニールによる結晶性の回復が十分に成されず、ドレイン端近傍のpoly-Si膜の結晶性が低下し、多数の欠陥準位が存在する膜になる。その結果、前述の機構によりオフ電流が増加すると推察される。そこで、poly-Si中の弗素量が $2 \times 10^{18}/\text{cm}^3$ 、 $1 \times 10^{18}/\text{cm}^3$ 、 $5 \times 10^{17}/\text{cm}^3$ 、 $1 \times 10^{17}/\text{cm}^3$ の膜を用いて活性化アニール後の不純物注入領域の欠陥密度をESR(電子スピン共鳴)によって評価した。その結果、弗素量が $2 \times 10^{18}/\text{cm}^3$ 、 $1 \times 10^{18}/\text{cm}^3$ 、 $5 \times 10^{17}/\text{cm}^3$ 、 $1 \times 10^{17}/\text{cm}^3$ の膜に対して、スピン密度が、それぞれ $1.5 \times 10^{18}/\text{cm}^3$ 、 $5.2 \times 10^{17}/\text{cm}^3$ 、 $3.2 \times 10^{17}/\text{cm}^3$ 、 $8.5 \times 10^{16}/\text{cm}^3$ という値が得られた。尚、このサンプルの活性化アニール条件は1000℃20分である。この結果から、弗素量の多い膜は、欠陥密度の高い膜になっていることが分かる。この結果は、前述の弗素量とオフ電流の相関に対する推察を裏付けるものであり、表1に示したオフ電流の測定結果と合わせてみると、ソース・ドレイン領域のスピン密度は $1 \times 10^{18}/\text{cm}^3$ 以下であることが望ましく、 $1 \times 10^{17}/\text{cm}^3$ 以下であることが特に望ましい。

【0038】尚、本発明は、図1の実施例に示したTFT以外にも、絶縁ゲート型半導体素子全般に応用できる。

【0039】

【発明の効果】以上述べたように、本発明によればオフ電流が低く、移動度の大きいpoly-Si TFTをはじめとする絶縁ゲート型電界効果トランジスタを作製することができる。その結果、絶縁性非晶質材料上に高性能な半導体素子を形成することが可能となり、大型で高解像度の液晶表示パネルや高速で高解像度の密着型イメージセンサや三次元IC等を容易に形成できるようになった。

【図面の簡単な説明】

【図1】本発明の実施例における半導体装置の製造工程図である。

【符号の説明】

101 … 絶縁性非晶質材料

102 ... シリコン層
 103 ... 多結晶シリコン層
 104 ... ゲート絶縁膜
 105 ... ゲート電極

106, 107 ... ソース・ドレイン領域
 108 ... 層間絶縁膜
 109 ... コンタクト穴
 110 ... 配線

【図1】

